

# 体硅 CMOS FinFET 结构与特性研究

殷华湘, 徐秋霞

(中国科学院微电子研究所硅器件和集成电路技术研究室, 北京 100029)

**摘要:** 建立在 SOI 衬底上的 FinFET 结构被认为是最具全面优势的非常规 MOS 器件结构. 本文通过合理的设计将 FinFET 结构迁移到普通体硅衬底上, 利用平面凹槽器件的特性解决了非绝缘衬底对器件短沟道效应的影响, 同时获得了一些标准集成电路工艺上的改进空间. 运用标准 CMOS 工艺实际制作的体硅 CMOS FinFET 器件获得了较好的性能结果并成功地集成到 CMOS 反相器和环形振荡器中. 结构分析与实验结果证明了体硅 CMOS FinFET 在未来电路中的应用前景.

**关键词:** 鱼脊形场效应晶体管; 体硅; 凹槽器件; 新结构; CMOS

**中图分类号:** TN406 **文献标识码:** A **文章编号:** 0372-2112(2005)08-1484-03

## Bulk Silicon CMOS FinFET's Structure and Characteristics

YIN Huaxiang, XU Qiuxia

(Silicon Device & Integrated Circuit Technology Division, Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

**Abstract:** Original SOI FinFET was considered as the best candidate among various non-classic MOS structures. This paper firstly built a FinFET structure on normal bulk-Si substrate by a reasonable design. The SCE of FinFET fabricated on the non-insulating substrate was suppressed greatly for the existing of a grooved planar device by parallel connection. In addition, this new structure provided more process space than original SOI FinFET. The devices, which were fabricated with a standard CMOS process, showed a good performance and were integrated into a small scale circuit successfully. The results demonstrated that bulk-Si FinFET was a good solution for future VLSI.

**Key words:** finFET; bulk-si; grooved device; novel structure; CMOS

## 1 引言

近二十年以来硅集成电路得到迅速发展, 特别是最近几年内深亚微米 CMOS 技术已经发展到衬底大到 12 寸体硅圆片, 器件特征尺寸小至 0.13 微米的水准, 正向亚 100 纳米的技术水准进军. 然而研究结果表明: 在传统的平面 MOSFET 平台下, 这种发展趋势在亚 50 纳米阶段将面临不可逾越的技术障碍<sup>[1]</sup>. 纳米级非常规的 CMOS 器件, 特别是双栅或多栅电极器件是克服上述困难且维持摩尔定律在未来十年内继续有效的关键性解决方案之一. 到目前为止, 已有多种双栅或多栅电极新结构器件得到发展和研究<sup>[2-4]</sup>, 其中建立在 SOI 衬底上的 FinFET 器件<sup>[5]</sup>被认为是具备最大优势的非常规 MOS 器件结构. 该结构除了拥有类似理想双栅器件的优异性能, 另外, 也是更重要的一点是和传统的体硅 VLSI 工艺流程兼容, 具备较好的实用前景.

本文从原始的 SOI FinFET 结构出发设计并制作出建立在普通体硅衬底上的 CMOS FinFET 器件, 并将之应用到反相器、环形振荡器等小型电路上, 获得了较好的结果. 相比原有

的结构, 体硅 FinFET 更接近实际的硅基 VLSI 工艺流程, 并通过利用平面凹槽器件的特点较好的解决了亚 100 纳米范围内的器件在体硅衬底上较严重短沟道效应.

## 2 结构特点与工艺

原始 SOI FinFET 的结构如图 1(a) 所示. 该结构在 SOI 衬底上首先形成独立的硅岛, 即硅 Fin, 它与衬底是隔离的. 硅岛的两端为源漏区. 随后在硅岛两侧的方向上形成薄栅氧化层, 栅电极在此上半包裹硅 Fin 并在其两侧有效控制硅岛中的沟道, 构成侧面双栅电极共同控制同一沟道的结构. 体硅 FinFET 结构如图 1(c) 所示, 该结构是在体硅衬底上直接结合了原始 SOI FinFET 和平面凹槽器件的结构优势而设计的. 制作该结构的工艺过程也与原始 SOI FinFET 的不同, 首先在源区上淀积出隔离介质层并在上面刻蚀出凹槽, 然后在横向方向上光刻并刻蚀出硅岛, 接着形成栅绝缘层和栅电极, 最后制备出源漏区. 体硅 FinFET 结构有如下特点: (1) 建立在普通体硅衬底上, 除了双栅立体结构的制作过程以外, 其余工艺步骤与常规深亚微米平面 CMOS 技术完全吻合; (2) 属于理想双栅器件

中的侧栅和侧源漏类型,能充分体现双栅器件抑制 SCE 及 DIBL 效应的优势;(3)除去和原始 SOI FinFET 类似的双栅结构外还在沟道的方向上并联了一个平面凹槽 MOSFET,不仅能够充分利用有源区和栅电极面积,提供更多的电流通道,而且结合了两者的特点,能够更好地抑制 SCE 的特点;(4)为准平面结构,能方便地制成 CMOS 器件与电路,可简单应用到主流的 CMOS 平面工艺中去;(5)自对准器件结构,自对准形成栅电极和源漏,因此实际的源漏到双栅电极的隔离尺寸要小于原始 SOI FinFET 结构,在电路集成上具备更大的效率;(6)栅电极为侧墙限制栅结构,可使实际栅长在光刻分辨之下能达到更小,降低了对光刻工艺的要求;(7)并联双面栅与槽栅结构可使器件饱和电流在相同平面面积下得到增加,因此相应减少栅绝缘层厚度的要求;(8)相对抬高的源/漏区,有利于超浅结的形成及硅化物的形成;(9)在同一沟槽中极易形成并联栅结构,由此增大了有效栅宽;(10)沟道为均匀掺杂,无源漏延伸区与“Halo”结构,相比纳米级平面器件对沟道工程的要求大为降低。总而言之体硅 FinFET 的结构和工艺对原始的 SOI FinFET 作出了有益的改善,使之与传统 VLSI 技术结合更加紧密。

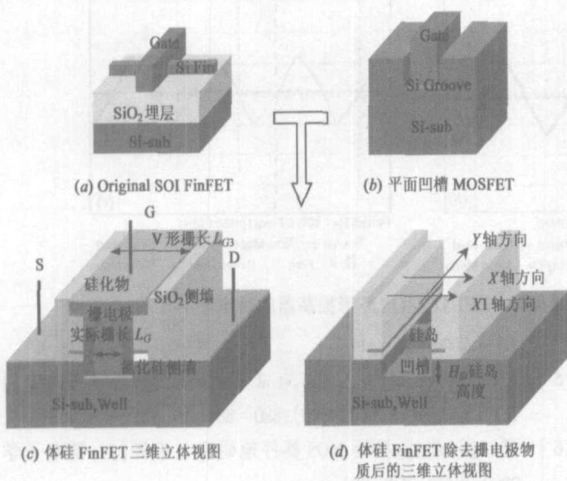


图 1 体硅 FinFET 的结构示意

### 3 实际器件结构与器件特性

图 2 给出了实际制作的体硅 FinFET 结构的 SEM 图像。图 2(a)是器件在平行于硅岛方向(X1 轴向)上的截面 SEM 图像;图 2(b)是器件与硅岛垂直相交方向(Y 轴向)上的截面 SEM 图像;图 2(c)为器件去掉栅电极物质后的顶部俯视 SEM 图像。由图可见,在 X1 轴向上栅电极类似于一个“V”形栅,这是利用侧墙限制技术制作栅电极的特点。V 形栅电极底部是实际控制硅岛沟道以及凹槽沟道的电极部分。因此实际的栅电极长度为图所示的  $L_G = 50\text{nm}$ ,即平行于硅岛且在硅岛平面上的栅电极的物理宽度。在 Y 轴向上,栅电极材料半包裹硅岛形成三栅控制同一沟道。与原始 SOI FinFET 结构不同的是,衬底不再是绝缘的,在硅岛位置以外的部分同样是可以导电的,而这些导电沟道从 X1 轴向上看来是一个平面凹槽

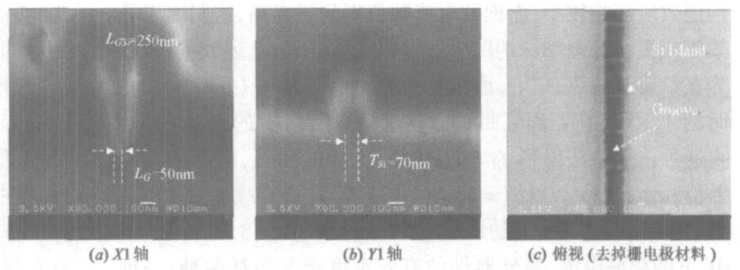


图 2 体硅 FinFET 实际结构的 SEM 图像 (a) X1 轴向的截面 SEM 图像; (b) Y 轴向的截面 SEM 图像; (c) 正面俯视的 SEM 图像 (去除栅电极材料)

器件。研究表明凹槽器件对短沟道效应有良好的抑制作用<sup>[6]</sup>,因此和双栅器件并联的凹槽导电沟道几乎不会损害器件的整体性能,同时可以因此充分利用器件的有源面积,理论上提供更大的电流。

图 3 和图 4 分别给出了实际器件的亚阈值特性和输出特性。该器件的实际结构参数为:有源区  $5.8\mu\text{m}$ (长)  $\times$   $4.0\mu\text{m}$ (宽),凹槽实际宽  $200\text{nm}$ ,V 型栅长  $50\text{nm}$ ,硅岛实际宽度  $70\text{nm}$ ,间距  $350\text{nm}$ ,7 条并联硅岛,硅岛高 ( $H_{Si}$ )  $100\text{nm}$ ,接触孔直径  $500\text{nm}$ ,最后的绝缘介质隔离层厚  $220\text{nm}$ ,栅电极厚  $200\text{nm}$ ,为多晶硅材料。该器件运用了深亚微米体硅器件的双阱工艺,双阱浓度均为  $1 \times 10^{17}\text{cm}^{-3}$ ;采用改进的 LOCOS 隔离技术;

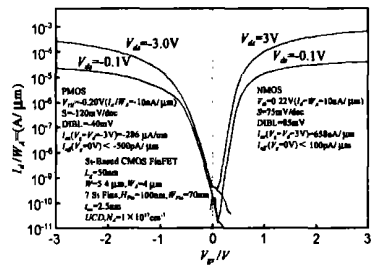


图 3 实际栅长为 50nm 的多晶硅栅体硅 CMOS FinFET 的亚阈值特性

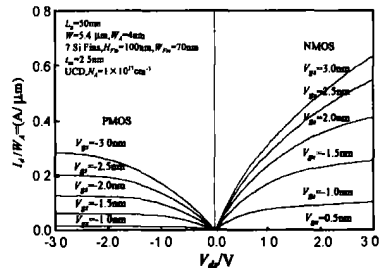


图 4 实际栅长为 50nm 的多晶硅栅体硅 CMOS FinFET 的电流电压特性

沟道不作掺杂,为均匀掺杂类型(UCD),即  $N_{ch} = 1 \times 10^{17}\text{cm}^{-3}$ ;源漏掺杂采用常规工艺步骤( $N^+P$ 结:  $45\text{keV}$ ,  $^{75}\text{As}^+$ , 剂量  $4 \times 10^{15}\text{cm}^{-2}$ ,  $P^+N$ 结:  $25\text{keV}$ ,  $^{49}\text{BF}_2^+$ , 剂量  $3 \times 10^{15}\text{cm}^{-2}$ ,双结同时 RTA 退火),无源漏延伸区,经测定  $N^+P$  结深( $X_j$ )为  $0.1\mu\text{m}$ ,  $P^+N$  结深为  $0.12\mu\text{m}$ ,因此对平行的凹槽器件来说有效的源漏结深( $X_j - H_{Si}$ )分别为  $0$  和  $0.02\mu\text{m}$ ,为典型的凹槽器件;多晶硅栅器件中分别对 PMOS 和 NMOS 栅电极进行 P 型和 N 型重掺杂,在源漏掺杂时自对准形成,并运用了常规的 Ti 自对准硅化物工艺;均使用多层复合金属作电极引出。

由图 3 和图 4 可见, nMOSFET/pMOSFET 的线性区阈值电压 ( $V_{th}$ )、亚阈值因子 ( $S$ )、DIBL ( $\sigma$ )、饱和驱动电流 ( $I_{on}$ )、闭态电流分别 ( $I_{off}$ ) 为:  $0.22\text{V} / - 0.20\text{V}$ ,  $75\text{mV}/\text{dec} / 120\text{mV}/\text{dec}$ ,  $85\text{mV}/3\text{V} / 40\text{mV}/3\text{V}$ ,  $658\mu\text{A}/\mu\text{m} / - 286\mu\text{A}/\mu\text{m}$ ,  $< 100\text{pA}/\mu\text{m} / < - 500\text{pA}/\mu\text{m}$ ,这些数据已经比较接近现有主流平面 CMOS 器件的数值<sup>[7]</sup>。显然,非绝缘衬底对器件,特别是 nMOSFET 的短

沟道效应影响较小,而饱和电流数值得到了提高,这归因于等效零或极小源漏结深的凹槽器件作用的结果.上述数据中  $V_{th}$  为在给定  $V_d = 0.1V$  下,改变栅电压  $V_g$ ,当  $I_d = (W/L) \cdot 10nA$  时的  $V_g$ ;  $S$  是在亚阈值曲线上以阈值点所对应的电流为  $I_{d0}$ .再通过内插值法得到  $I_d = I_{d0}/10$  所对应的栅压,两者的电压差值;  $\sigma_{INEL} = (V_{th}, |V_d| = 0.1V - V_{th}, |V_d| = 3.0V) / 3.0V$ ;  $I_{on}$  是  $|V_d| = |V_g| = 3.0V$  下的源漏电流,  $I_{off}$  是  $|V_d| = 3.0V, |V_g| = 0V$  下的源漏电流.另外器件的有效宽度定义包括两种:一种是器件的平面栅宽,也就是有源区宽度  $W_A = 4\mu m$ ;第二种是有效导电沟道的总长度,它是硅表面有源通道的总宽度,具体定义式为:  $W = (W_A - n \cdot L_{G2}) + n \cdot (2H_{Si} + L_{G2}) = W_A + 2n \cdot H_{Si}$ ,经计算,该典型器件的  $W = 5.4\mu m$ ,本文采用第一种定义.

### 4 电路特性

除了 CMOS 器件,体硅 FinFET 结构被成功的应用到反相器和环形振荡器等小型电路中.图 5 给出了体硅 CMOS FinFET 反相器和 201 级环形振荡器的正面照片.图 6 给出了 201 级体硅 FinFET CMOS 环形振荡器在不同电源电压下的输出波

形.由图可见,硅基 FinFET 能够在普通 CMOS 电路得到正常应用,同时集成效率与平面器件完全一致.在现有的器件条件下,环形振荡器在  $V_{dd} = 1.5V, 2.0V$  和  $3.0V$  的条件下的平均门延迟分别为  $325ps, 145ps$  和  $75ps$ .这些数值比相应平面器件的要低很多,可能原因是体硅 FinFET 结构的源漏与栅电极之间存在较大的耦合区域,因此交迭电容  $C_{gs}, C_{gd}$  较大,环振电路工作中会导致严重的 Miller 效应,而常规 CMOS 平面器件只存在线状的  $C_{gs}, C_{gd}$ ,数值较小,此外结构中无源漏延伸区,串联电阻较大,所以相同器件尺寸下体硅凹槽 FinFET 包含了更多的电容作用,这不利于电路的高速工作.有待进一步改善.

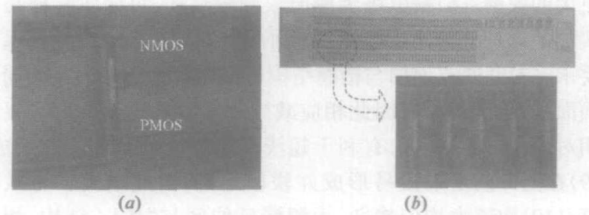


图 5 (a)体硅 FinFET 器件的 CMOS 反相器;(b)201 级体硅 FinFET 器件的 CMOS 环形振荡器

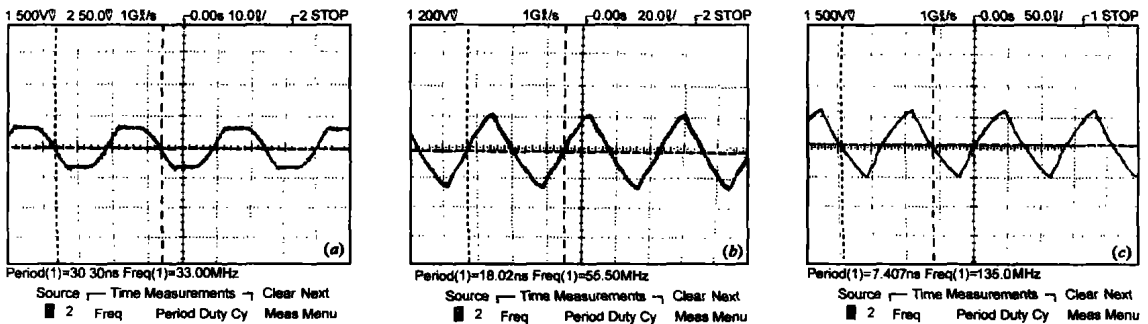


图 6 (a)  $V_{dd}=3.0V$ ; (b)  $V_{dd}=2.0V$ ; (c)  $V_{dd}=1.5V$  下 201 级体硅 FinFET CMOS 环形振荡器的输出波形

### 5 结论

体硅 FinFET 相比原始的 SOI FinFET 更和传统的集成电路工艺兼容.与此同时,在多栅结构和凹槽器件的共同作用下,弱导电的衬底对器件的短沟道效应影响较小,而且用体硅代替 SOI 材料提高了散热性能,大幅度降低了成本.因此体硅 FinFET 在未来集成电路工艺中有较光明的应用前景,实验制作的器件和小型电路证明了这一点.

#### 参考文献:

- [ 1 ] Semiconductor Industry Association. International Technology Roadmap for Semiconductors, 2001 Editions[S].
- [ 2 ] H S PHILIP WONG, D J Frank, et al. Nanoscale CMOS[J]. Proc of the IEEE, 1999, 87(4): 537- 584.
- [ 3 ] J H LEE, G Taraseli, Andy Wei, et al. Super Self Aligned Double Gate (SSDG) MOSFETs Utilize Oxidation Rate Difference and Selective Epitaxy[A]. IEEE Tech. Dig. IEDM[C]. Washington, 2001. 71- 74.
- [ 4 ] T SU, J P Denton, et al. New planar self aligned double gate fully depleted P-MOSFET's using epitaxial lateral overgrowth (ELO) and selectively grown source/drain (S/D) [A]. IEEE Int SOI Conf[C].

Toyto, 2000. 110- 111.

- [ 5 ] X HUANG, W C Lee, C Kuo, et al. Subr 50nm P channel FinFET[J]. IEEE Trans E D, 2001, 48(6): 880- 886.
- [ 6 ] 任红霞,郝越.槽栅 MOS 器件地研究与进展[J].微电子学, 2000, 30(4): 258- 263.
- [ 7 ] M Mehrotra, J CHu, et al. A 1.2V, subr 90nm gate length CMOS technology [A]. IEEE Tech. Dig. IEDM[C]. Washington, 1999. 419- 422.

#### 作者简介:



殷华湘 男, 分别于 1996、1999 年和 2003 年在天津大学电子工程系、中国科学院微电子中心和中国科学院微电子所获工学学士、硕士和博士学位, 主要从事深亚微米 CMOS 技术和纳米级新型 MOS 器件结构与工艺研究. E-mail: huaxiang\_yin@yahoo.com; silicide@sina.com.

徐秋霞 女, 研究员, 博士生导师, 主要从事深亚微米和纳米级 CMOS 器件、工艺和新结构技术研究. E-mail: xqx@ime.ac.cn.